

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-204207

(43)Date of publication of application : 09.08.1996

(51)Int.Cl.

H01L 29/786

H01L 21/336

H01L 21/20

H01L 27/12

(21)Application number : 07-031563

(71)Applicant : SEMICONDUCTOR ENERGY LAB CO LTD

(22)Date of filing : 28.01.1995

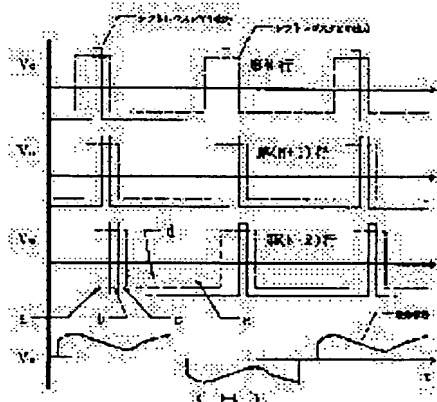
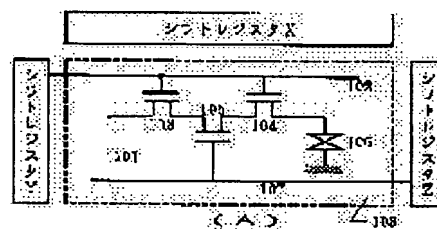
(72)Inventor : YAMAZAKI SHUNPEI  
KOYAMA JUN  
TAKEMURA YASUHIKO

## (54) ACTIVE MATRIX DISPLAY

## (57)Abstract:

PURPOSE: To reduce the leak current upon turning a switching element off by connecting more than two TFTs in series with a single pixel electrode and controlling a TFT, except those at the opposite ends, through a gate signal line independent from a row select signal line.

CONSTITUTION: When the potential on a row select signal line makes a transition to a negative level, TFTs 103, 104 are turned off. Since the potential on a gate signal line 107 is positive, a TFT 105 is turned on. The TFT mainly functions as a capacitor and the source-drain potential of the TFT 105 is equal to that of a pixel cell 106. When the potential on the gate signal line 107 makes a transition to a negative level, capacitance of the TFT 105 decreases abruptly. Consequently, the source-drain voltage of the TFT 105 is increased in order to hold the charges stored in the TFT 105. With such arrangement, potential drop is controlled and the off-current can be reduced.



BEST AVAILABLE COPY

## LEGAL STATUS

[Date of request for examination] 25.01.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3485667

[Date of registration] 24.10.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-204207

(43) 公開日 平成8年(1996)8月9日

(51) Int.Cl.<sup>6</sup>

識別記号

序内整理番号

F I

技術表示箇所

H 0 1 L 29/786  
21/336  
21/20

H 0 1 L 29/ 78 6 1 2 Z  
6 1 6 A

審査請求 未請求 請求項の数13 F D (全 12 頁) 最終頁に続く

(21) 出願番号 特願平7-31563

(22) 出願日 平成7年(1995)1月28日

(71) 出願人 000153878

株式会社半導体エネルギー研究所  
神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72) 発明者 小山 潤

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72) 発明者 竹村 保彦

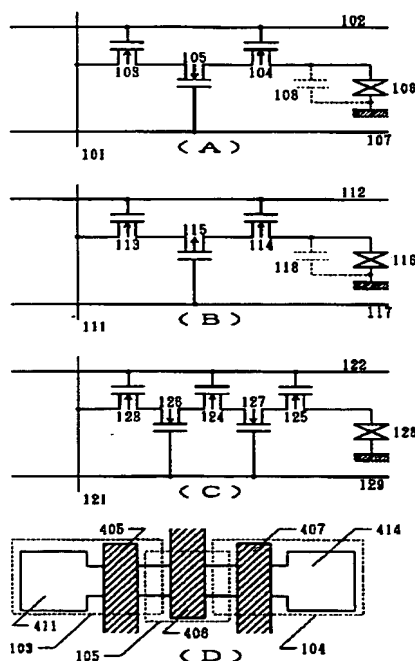
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(54) 【発明の名称】 アクティブマトリクス表示装置

(57) 【要約】

【目的】 特に結晶化を促進させる触媒元素を用いて得られた結晶性シリコンを活性層とする薄膜トランジスタ (T F T) によって構成されたアクティブマトリクス表示装置のO F F電流を低減させる構成を提供する。

【構成】 アクティブマトリクス表示装置において、スイッチング素子として1個の画素電極に対して複数のT F Tを直列に接続して設け、前記直列接続したT F Tの両端を除く少なくとも1個のT F Tをゲート信号線とは独立に信号を供給する第2ゲート信号線によって制御することにより、前記スイッチング素子のO F F時のリーク電流 (O F F電流) を低減せしめる。



## 【特許請求の範囲】

【請求項1】 アクティブマトリクス表示装置において、マトリクス状に配置された画素電極と画像信号線を有し、

1個の前記画素電極に対して少なくとも3個の薄膜トランジスタを直列に接続し、前記直列接続した薄膜トランジスタのうち、画像信号線に接続したものを除く少なくとも1個の薄膜トランジスタが、行選択信号線とは独立な信号を供給するゲート信号線によって制御されることを特徴とする回路をスイッチング素子とすることを特徴とするアクティブマトリクス表示装置。

【請求項2】 請求項1において、前記薄膜トランジスタの活性層は結晶性シリコンによって構成され、 $1 \times 10^{15} \sim 1 \times 10^{19}$  原子/cm<sup>3</sup> のシリコンの結晶化を促進する触媒元素が含有されていることを特徴とするアクティブマトリクス表示装置。

【請求項3】 請求項1もしくは2において、ゲート信号線は行選択信号線と平行に、かつ、行選択信号線の間に配置されていることを特徴とするアクティブマトリクス表示装置。

【請求項4】 請求項1もしくは2において、画素電極に接続される薄膜トランジスタのチャンネルの両端にLD領域を設けたことを特徴とするアクティブマトリクス表示装置。

【請求項5】 請求項1もしくは2において、画素電極に接続される薄膜トランジスタのチャンネルの両端にオフセット領域を設けたことを特徴とするアクティブマトリクス表示装置。

【請求項6】 アクティブマトリクス表示装置において、マトリクス状に配置された画素電極を有し、該画素電極ごとに設けられた1つの島状の結晶性シリコン半導体被膜上にゲート電極を3つ以上有し、前記半導体被膜には、前記ゲート電極をマスクとしてドーピングされたN型もしくはP型の領域が設けられ、前記半導体領域に設けられたN型もしくはP型の領域のうち、両端の領域の一方は画素電極に、他方は画像信号線に接続されており、前記ゲート電極のうち、当該画素の行選択信号線に接続された任意の1つのゲート電極に隣接する1もしくは2のゲート電極は、いずれも当該画素の行選択信号線とは独立したゲート信号線によって制御されることを特徴とするアクティブマトリクス表示装置。

【請求項7】 請求項6において、該半導体被膜は、 $1 \times 10^{15} \sim 1 \times 10^{19}$  原子/cm<sup>3</sup> のシリコンの結晶化を促進する触媒元素を含有していることを特徴とするアクティブマトリクス表示装置。

【請求項8】 請求項6または7において、該結晶性シリコン半導体被膜は概略U字型もしくはコの字型もしくは馬蹄型をしていることを特徴とするアクティブマトリ

クス表示装置。

【請求項9】 アクティブマトリクス表示装置において、

複数の画像信号線と、

前記画像信号線に概略平行に配置された複数の行選択信号線と、

前記行選択信号線の間に1本ずつ平行に配置されたゲート信号線と、

前記行選択信号線と画像信号線に囲まれた領域に設けられた画素電極と、

前記画素電極の各々に接続して設けられたスイッチング素子と、を有し、

前記スイッチング素子の各々は概略U字型もしくはコの字型もしくは馬蹄型をした結晶性シリコン半導体被膜を1つ有し、

かつ、前記行選択信号線と少なくとも2か所の交点と、前記ゲート信号線と少なくとも1か所の交点を有することを特徴とするアクティブマトリクス表示装置。

【請求項10】 アクティブマトリクス表示装置において、

複数の画像信号線と、

前記画像信号線に概略平行に配置された複数の行選択信号線と、

前記行選択信号線の間に1本ずつ平行に配置されたゲート信号線と、

前記行選択信号線と画像信号線に囲まれた領域に設けられた画素電極と、

前記画素電極の各々に接続して設けられたスイッチング素子と、を有し、

前記スイッチング素子の各々は結晶性シリコン半導体被膜を1つ有し、

かつ、前記画像信号線とコンタクトを有する領域と、前記画素電極とコンタクトを有する領域と、前記行選択信号線とゲート信号線とによって分離された2つ以上の領域とが、N型もしくはP型の導電型を示すことを特徴とするアクティブマトリクス表示装置。

【請求項11】 請求項9または10において、該半導体被膜は、 $1 \times 10^{15} \sim 1 \times 10^{19}$  原子/cm<sup>3</sup> のシリコンの結晶化を促進する触媒元素を含有していることを特徴とするアクティブマトリクス表示装置。

【請求項12】 請求項6乃至11において、行選択信号線はアルミニウムを主成分とする材料とし、その側面と上面が陽極酸化物で被覆されていることを特徴とするアクティブマトリクス表示装置。

【請求項13】 請求項9乃至11において、ゲート信号線は当該行の画素とは重ならず、当該行に隣接する行の画素と重なることを特徴とするアクティブマトリクス表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、アクティブマトリクス表示装置の表示画面の画質向上をはかる回路および素子に関する。特に本発明は、スイッチング素子として薄膜トランジスタ(TFT)を有する回路を用い、該TFTの活性層はアモルファスシリコンの結晶化を促進する触媒元素を用いて結晶化をおこなったシリコン半導体によって構成されているものに関する。

【0002】

【従来の技術】アクティブマトリクス型表示装置とは、各画素にスイッチング素子を設け、画像信号線より供給される信号を該スイッチング素子によって画素に供給する仕組みを有する表示装置であり、単純マトリクス型表示装置よりも大容量の表示を鮮明におこなうことができる。従来、スイッチング素子としてはアモルファスシリコン半導体を用いたTFTが使用されていた。しかしながら、結晶性シリコン半導体を用いたTFTは、従来のアモルファスシリコン半導体を用いたものに比較して、動作速度が10倍以上も大きいので、大容量表示に適しており、最近では、この面で開発が進められている。しかしながら、結晶性シリコン半導体には幾つかの問題があった。

【0003】第1の問題はシリコンの結晶化の問題であった。結晶性シリコンはアモルファスシリコンを結晶化せしめることにより得られる。従来は2つの方法が知られていた。1つはレーザー等の強光を照射して瞬間的に結晶化せしめる方法で、光アニールと称される。この方法の問題点は安定した大エネルギーのレーザー発振器が得られないため、再現性、量産性に乏しいということである。

【0004】他の方法は熱アニール法もしくは固相成長法と呼ばれるもので、通常、600℃以上の温度で熱アニールをおこなうことにより、アモルファスシリコンを固相成長させて、結晶化せしめるものである。この方法においては、結晶化に要する時間はアニール温度に依存し、1000℃程度の高温では1時間以内に結晶化を完了することができる。しかしながら、このような高温に使用できる基板は石英以外にはなく、基板コストが大きくなった。また、得られるシリコン膜の結晶性も好ましいものではなかった。

【0005】これに対し、多くの珪酸ガラスの使用できる600℃程度のアニールでは、結晶性の良好なシリコン膜が得られたが、結晶化に要する時間が24時間以上にもなり、量産性の点で問題があった。第2の問題は結晶性シリコンを用いたTFTでは、ゲート電極に逆バイアス電圧を印加した際のリーク電流(OFF電流)が大きいということである。これは、結晶粒界に起因すると見られており、結晶性シリコンを用いてアクティブマトリクス型表示装置を作製する上で最大の問題となっていた。

【0006】Nチャネル形TFTの場合、 $V_{gs}$ を負にバ

イアスした時のOFF電流は、半導体薄膜の表面に誘起されるP型層と、ソース領域及びドレイン領域のN型層との間に形成されるPN接合を流れる電流により規定される。そして、半導体薄膜中(特に粒界)には多くのトラップが存在するため、このPN接合は不完全であり接合リーク電流が流れやすい。ゲート電極を負にバイアスするほどOFF電流が増加するのは半導体薄膜の表面に形成されるP型層のキャリア濃度が増加してPN接合のエネルギー障壁の幅が狭くなるため、電界の集中が起こり、接合リーク電流が増加することによるものである。

【0007】このようにして生じるOFF電流は、ソース/ドレイン電圧に大きく依存する。例えば、TFTのソース/ドレイン間に印加される電圧が大きくなるにしたがって、OFF電流が飛躍的に増大することが知られている。すなわち、ソース/ドレイン間に5Vの電圧を加えた場合と10Vの電圧を加えた場合とでは、後者のOFF電流は前者の2倍ではなく、10倍にも100倍にもなる場合がある。また、このような非線型性はゲート電圧にも依存する。一般にゲート電極の逆バイアスの値が大きい場合(Nチャネル型では、大きなマイナス電圧)には、両者の差が著しい。

【0008】

【発明が解決しようとする課題】上記の第1の問題に関しては、本発明人らは、ニッケル、白金、鉄、コバルト、パラジウム等を微量添加することによりアモルファスシリコンの結晶化を促進できることを見出した(特開平6-244104)。これらの添加すべき元素を触媒元素と言うが、この結果、典型的には550℃で4時間、あるいはより低温・短時間の熱アニールで結晶化を成就することが可能となった。加えて、従来の熱アニール法では、アモルファスシリコンは1000Å以上の厚いものでないとほとんど結晶化しなかったのだが、触媒元素を用いると、1000Å以下、典型的には300~800Åの厚さでも十分な結晶化が起こることがわかった。

【0009】また、本発明人の研究の結果、これらの触媒元素を使用して結晶化せしめたシリコンを用いてTFTを作製する場合には、結晶化工程の観点から、また、特性・信頼性の観点から、触媒元素のシリコン中への残留濃度は $1 \times 10^{15} \sim 1 \times 10^{19}$ 原子/cm<sup>3</sup>とすることが好ましいことが明らかになった。

【0010】このように、第1の問題は解決されたのであるが、第2の問題は未解決のままであった。逆に触媒元素を用いて結晶化せしめたシリコン膜は結晶成長が針状に進行する(従来の熱アニール法では粒状に成長することと、結晶の長径が数μm以上(従来の熱アニール法では1μm以下)と大きいことのため、TFT特性が結晶粒界の影響を大きく受け、OFF電流のパラッキが大きいことが新たな問題として浮かび上がった。典型的には、OFF電流が1000pAから1pAというよ

うに3桁も変動した。

【0011】図7(A)にアクティブマトリクス表示装置の従来例の概略図を示す。図中の破線で囲まれた領域(204)が表示領域であり、その中にTFT(201)がマトリクス状に配置されている。前記TFT(201)のソース電極に接続している配線が画像(データ)信号線(206)であり、前記TFT(201)のゲート電極に接続している行選択信号線(205)である。この回路の駆動の原理は図7(B)に示すように、第N行、第(N+1)行、第(N+2)行の各行選択信号線に少しずつタイミングをずらしたパルスが入力されることによって、行の選択がおこなわれる。

【0012】図7(A)の回路では、スイッチング素子はTFT(201)であり、行選択信号線(205)の信号にしたがって、データのスイッチングをおこない、液晶セル(203)を駆動する。補助容量(202)は、液晶セルの容量を補強するためのコンデンサで画像データの保持用として用いられる。マトリクス全面にわたって均一な表示をおこなうには、すべてのTFTの特性がそろっていることが必要である。なかでも、OFF電流は10pA以下、好ましくは1pA以下であることが要求される。もし、TFTのうち、OFF電流が1000pAもあるものは十分な電荷が保持できず、映像信号を瞬時に失ってしまう。

【0013】このような不良TFTが全画素中数個であれば、問題とは言えないが、数%にも及ぶ場合には非常に表示が見づらくなる。特に、前記したような触媒元素を用いて得られた結晶性シリコンを用いたTFTでは表示不良が顕著であった。

【0014】

【課題を解決するための手段】本発明は、上記のような問題を鑑みてなされたものである。すなわち、本発明は、アクティブマトリクス回路に関し、1個の画素電極に対して少なくとも3個のTFTを直列に接続し、前記直列接続したTFTの両端を除く少なくとも1個のTFTを行選択信号線とは独立の信号を供給する信号線(以下、これをゲート信号線という)によって制御する一方、他のTFTを行選択信号線によって制御することを特徴とする回路をスイッチング素子として用いる。

【0015】ここで、ゲート信号線の信号が行選択信号線の信号と独立であるとは、行選択信号線の信号と同一でないということであり、行選択信号線の信号と何らかの同期を取った信号は構わない。一般的には行選択信号線の信号を供給する回路(行選択信号回路)とは別の回路から供給される信号であればよく、該回路は行選択信号回路から発せられる信号もしくは、行選択信号回路に入力される信号を加工したものであってもよい。

【0016】以上に加えて、本発明においては、TFTの活性層は結晶性シリコンによって構成され、 $1 \times 10^{15} \sim 1 \times 10^{19}$ 原子/cm<sup>3</sup>のシリコンの結晶化を促進

する触媒元素が含有されていること、もしくは、TFTの活性層は触媒元素を用いて結晶化されたことを特徴とする。

【0017】ここで、直列接続されたTFTのうち、一端は画像信号線に接続し、もう一端は画素電極に接続してもよい。さらに、上記のTFTのうち画素電極に接続されるTFTのチャンネルの両端にLDD領域やオフセット領域を設けてもよい。本発明の基本的な思想は、TFTを3つ、もしくはそれ以上接続し、うち、中央のTFTの少なくとも1つは、そのゲート電極を行選択信号線とは別のゲート信号線に接続し、該信号線の信号によって駆動することを特徴とする。

【0018】図1(A)の例では、直列に接続されたTFT(103)、(104)、(105)のうち、TFT(103)はソースを画像信号線(101)に接続し、また、TFT(104)のドレインを画素電極(106)に接続する。TFT(103)、(104)のゲート電極は行選択信号線(102)で制御する。そして、中央のTFT(105)のゲート電極はゲート信号線(107)に接続し、行選択信号線(102)と接続されたTFT(103)、(104)とは別に駆動する。なお、画素セル(106)と並列に補助容量(108)を付加してもよい。

【0019】図1(A)に示す回路図で示される実際の回路の例を図1(D)に示す。この回路の作製方法に関しては、図4を用いて実施例で説明されるので、ここでは、概略だけを述べる。回路は1つのシリコン半導体被膜(活性層)上に3つのTFT(103)、(104)、(105)(それぞれ、点線で概念的な領域を示す)が形成されており、個々のTFTのゲート電極(405)、(407)、(406)がそれを横断して設けられる。そして、半導体領域のうち、左端の領域(411)(=TFT(103)のソース)には画像信号線が、また、右端の領域(414)(=TFT(104)のドレイン)には画素電極が、それぞれ接続される。

【0020】また、図1(A)の回路図で示される回路は、図1(D)に示すような構成でもよいが、図3に示すような構成とすると、専有面積を低減できる。以下、図3の説明をする。まず、概略U字型もしくはコの字型もしくは馬蹄型をした結晶性シリコン半導体被膜(301)を形成する。該半導体被膜は触媒元素を用いて結晶化せしめ、典型的には、 $1 \times 10^{15} \sim 1 \times 10^{19}$ 原子/cm<sup>3</sup>の触媒元素を含有している。(図3(A))

【0021】この半導体被膜に対して行選択信号線(302)およびゲート信号線(303)を図3(B)のように配置させる。すなわち、半導体被膜(301)は行選択信号線(302)と2か所の交点と、ゲート信号線(303)と1か所の交点を有する。ゲート信号線(303)は行選択信号線(302)と平行に形成される。

【0022】一方、図1(A)のTFT(103)、

7

(104)に該当するのは、行選択信号線(302)と半導体被膜(301)によって形成された2か所の交点部分である。行選択信号線(302)とゲート信号線(303)をマスクとして半導体被膜(301)にN型(もしくはP型)のドーピングをおこなえば、TFT(103)のソースに相当する領域(304)とTFT(104)のドレインに相当する領域(307)が形成され、これらは、それぞれ、画像信号線と画素電極に接続される。

【0023】また、TFT(103)のドレインに相当する領域(305)とTFT(104)のソースに相当する領域(306)も形成される。すなわち、半導体領域には、画像信号線とコンタクトを有する領域と、画素電極とコンタクトを有する領域と、行選択信号線とゲート信号線とによって分離された2つのN型(もしくはP型)導電型を示す領域とが形成される。なお、図3(C)に示すようにゲート信号線(303)と半導体被膜(301)とが完全に重ならず、一部半導体被膜のはみだした領域(308)が形成されても何ら問題はない。必要なことは領域(305)と(306)がゲート信号線(303)と行選択信号線(302)によって完全に分離されていることである。

【0024】以上のように主として半導体被膜(活性層)の形状を工夫することにより、回路の集積度を向上させることができる。もし、図1(C)に示すような5つのTFTを有するスイッチング素子を形成するならば、半導体被膜を概略N字型もしくはS字型として、これに行選択信号線やゲート信号線を重ねればよい。

【0025】

【作用】具体的な動作について図2を用いて説明する。図2(A)は図7(A)と同様に、本発明を用いたアクティブマトリクス回路の全体を示し、符号は図1と同じである。行選択信号線は従来の回路(図7)と同様にシフトレジスタYによって信号が供給されるが、本発明によって付加したゲート信号線は別のシフトレジスタZ(もしくは同等な回路)によって、信号が供給される。

【0026】各信号線に印加される信号は図2(B)に示される。すなわち、従来の場合と同様に第N行、第(N+1)行、第(N+2)行の各行選択信号線にはパルスが時期をずらして入力される。一方、第N行、第(N+1)行、第(N+2)行の各ゲート信号線にも、信号が印加されるが、これらのパルスはある程度の重なりを有したり、また、各行の行選択信号線のパルスと同期したものとする都合がよい。ただし、TFT(103)、(104)に比較して、TFT(105)のゲート容量が大きな場合には、図2(B)に示すように、パルス幅を行選択信号線のパルスよりも大きくするとよい。

【0027】図2(B)を用いて動作例を説明する。もちろん、これ以外の動作も可能である。第(N+2)行

8

に注目すると、最初にゲート信号線(107)にパルスが印加され、中央のTFT(105)はON状態となる。このとき、画像信号線101には他行の映像データが印加されている。しかしながら、行選択信号線は負電位に保たれており、TFT(105)の両隣のTFT(103)、(104)はOFF状態であり、このときのデータは画素セル(106)には取り込まれない。

(図2(B)、aの期間)

【0028】この状態がしばらく続いた後、第(N+2)行の行選択信号線の電位が正に転換し、このとき初めて、画素セル(106)の放電と画像信号線(101)のデータの充電がおこなわれる。ここでは、正の電圧に充電される。このときには、TFT(103)～(104)の全てがON状態となっている。(図2(B)、bの期間)

【0029】続いて、行選択信号線の電位が負に転換し、TFT(103)、(104)はOFFとなる。ただし、ゲート信号線(107)の電位は依然として正であるので、TFT(105)はON状態である。そして、このときのTFTは主として静電容量として機能するため、TFT(105)のソース/ドレインの電位は画素セル(106)の電位とほぼ同じである。(図2(B)、cの期間)

【0030】次に、ゲート信号線(107)の電位が負に転換すると、TFT(105)に形成されていた静電容量が急激に小さくなる。すると、TFT(105)に蓄積されていた電荷(これはTFT(103)、(104)がOFF状態であるので、他へ流出することは難しい)を保持するために、TFT(105)のソース/ドレインの電圧が高くなる(絶対値が大きくなる)。すなわち、TFT(105)を中心として非常に電圧の高い領域が形成され、この領域が存在するために画像信号線の電位が負になったとしても、TFT(105)の電位が低下することが優先され、画素セル(106)から電荷が流出して、電位が降下することは抑制される。

【0031】逆に、電位差の関係からTFT(105)から画素セル(106)に向かって電流が流れる。もっとも、TFT(105)に蓄積されている電荷と画素セルの静電容量の比率から、TFT(105)に蓄積されている電荷の全てが画素セルに流入したとしても画素セルの電位変動はほとんど生じない。以上の作用により、OFF電流を低減できる。(図2(B)、dおよびeの期間)

以下、同様な動作が繰り返される。

【0032】このように本発明はOFF電流を平均的に低減できる効果も有するものであるが、加えて、OFF電流の大きなスイッチング素子(不良スイッチング素子)の発生確率を激減させることもできる。例えば、図1(A)において、TFT(103)もしくは(104)のいずれか一方が非常にOFF電流の大きなもので

あったとしても、他方が正常なものであることにより、全体として、OFF電流抑制の効果を示すためである。すなわち、TFT(103)と(104)が2つともOFF電流の大きな不良である確率は非常に小さい。この結果、スイッチング素子のOFF電流はTFTの99%を1pA以下、99.99%を10pA以下とすることができ、画像に障害を生じる100pA以上のスイッチング素子の発生確率は1ppm以下とすることができた。

【0033】なお、TFT(103)、(104)のチャネルにLDD領域またはオフセット領域を入れると、それらの領域はドレイン抵抗・ソース抵抗となるため、ドレイン接合の電界強度を緩和させ、さらにOFF電流を減少させることができることは言うまでもない。特に画素電極側のTFTのチャネルの両端にLDD(低濃度不純物)領域やオフセット領域を形成すると有効である。

【0034】図1(A)の例では、中央のTFTはその両端のTFTと同じ導電型(この場合はNチャネル型)であったが、図1(B)のように、逆導電型(すなわち、Pチャネル型)としてもよい。ただし、その場合には中央のTFT(115)のゲート電極に印加する信号は、図1(A)の場合と逆になる。(図1(B))

【0035】また、より多くのTFTを接続して、図1(C)に示すような回路を構成してもよい。この場合にはOFF電流低減の効果がさらに大きくなる。もっとも、図1(C)の場合には全部でTFTを5つ使用しているが、TFTを7個、9個と使用してもOFF電流低減の効果はそれほど増大しない。回路構成等を考慮するとTFTを5つ以下とすることが好ましい。

【0036】

【実施例】

【実施例1】本実施例は図1(A)で示した回路の作製工程に関するものである。本実施例では、ゲート電極を陽極酸化することにより、オフセットゲートを構成し、より一層、OFF電流を低減することを特色とする。なお、ゲート電極を陽極酸化する技術は特開平5-267667に開示されている。

【0037】図4の(A)～(D)に本実施例の工程を示す。まず、基板(401)(コーニング7059、100mm×100mm)上に、下地膜として酸化珪素膜(402)を1000～5000Å、例えば、3000Åに成膜した。この酸化珪素膜の成膜には、TEOSをプラズマCVD法によって分解・堆積して成膜した。この工程はスパッタ法によっておこなってもよい。

【0038】その後、プラズマCVD法やLPCVD法によってアモルファスシリコン膜を300～1500Å、例えば、500Å堆積し、熱アニール法により結晶化せしめた。その際には、特開平6-144204に開示された技術にしたがって、触媒元素としてニッケルを

微量添加して結晶化をおこなった。ニッケルの添加方法としては、薄い酸化珪素膜を形成したアモルファスシリコン膜上に1ppmの酢酸ニッケル水溶液を塗布・乾燥させた。その後、これを550℃の雰囲気中に4時間放置した。

【0039】なお、上記の熱アニール工程後に、レーザー照射等の光アニールを追加して、さらに結晶性を向上させてもよい。そして、このように結晶化させたシリコン膜をエッチングして、島状領域(403)を形成した。さらに、この上にゲート絶縁膜(404)を形成した。ここでは、プラズマCVD法によって厚さ700～1500Å、例えば、1200Åの酸化珪素膜を形成した。この工程はスパッタ法によっておこなってもよい。

【0040】その後、厚さ1000Å～3μm、例えば、5000Åのアルミニウム(1wt%のSi、もしくは0.1～0.3wt%のScを含む)膜をスパッタ法によって形成して、これをエッチングしてゲート電極(405)、(406)、(407)を形成した。(図4(A))

【0041】そして、ゲート電極に電解溶液中で電流を通じて陽極酸化し、厚さ500～2500Å、例えば、2000Åの陽極酸化物を形成した。用いた電解溶液は、L-酒石酸をエチレングリコールに5%の濃度に希釈し、アンモニアを用いてpHを7.0±0.2に調整したものである。その溶液中に基板を浸し、定電流源の+側を基板上のゲート電極に接続し、-側には白金の電極を接続して20mAの定電流状態で電圧を印加し、150Vに達するまで酸化を継続した。さらに、150Vの定電圧状態で、電流が0.1mA以下になるまで酸化を継続した。この結果、厚さ2000Åの酸化アルミニウム被膜(408)、(409)、(410)が得られた。

【0042】その後、イオンドーピング法によって、島状領域(403)に、ゲート電極部(すなわち、ゲート電極とその周囲の陽極酸化物被膜)をマスクとして自己整合的に不純物(ここでは燐)を注入し、N型不純物領域を形成した。ここで、ドーピングガスとしてはフォスフィン(PH<sub>3</sub>)を用いた。この場合のドーズ量は1×10<sup>14</sup>～5×10<sup>15</sup>原子/cm<sup>2</sup>、加速電圧は60～90kV、例えば、ドーズ量を1×10<sup>15</sup>原子/cm<sup>2</sup>、加速電圧は80kVとした。この結果、N型不純物領域(411)～(414)が形成された。この段階で素子を上面から見た様子は図1(D)に示される。(図4(B))

【0043】さらに、KrFエキシマレーザー(波長248nm、パルス幅20nsec)を照射して、ドーピングされた不純物領域(411)～(414)の活性化をおこなった。レーザーのエネルギー密度は200～400mJ/cm<sup>2</sup>、好ましくは250～300mJ/cm<sup>2</sup>が適当であった。この工程は熱アニールによって

おこなってもよい。特に触媒元素（ニッケル）を含有しており、通常の場合に比較して低温の熱アニールで活性化できる（特開平6-267989）。このようにしてN型不純物領域が形成されたのであるが、本実施例では、陽極酸化物の厚さ分だけ不純物領域がゲート電極から遠い、いわゆるオフセットゲートとなっていることがわかる。

【0044】次に、層間絶縁膜として、プラズマCVD法によって酸化珪素膜（415）を厚さ5000Åに成膜した。このとき、原料ガスにTEOSと酸素を用いた。そして、層間絶縁膜（415）、ゲート絶縁膜（404）のエッチングをおこない、N型不純物領域（411）にコンタクトホールを形成した。その後、アルミニウム膜をスパッタ法によって形成し、エッチングしてソース電極・配線（416）を形成した。これは画像信号線の延長である。（図4（C））

【0045】その後、パッシベーション膜（417）を形成した。ここでは、 $\text{NH}_3/\text{SiH}_4/\text{H}_2$  混合ガスを用いたプラズマCVD法によって窒化珪素膜を2000~8000Å、例えば、4000Åの膜厚に成膜して、パッシベーション膜とした。そして、パッシベーション膜（417）、層間絶縁膜（415）、ゲート絶縁膜（404）のエッチングをおこない、N型不純物領域（414）に画素電極のコンタクトホールを形成した。そして、インジウム錫酸化物（ITO）被膜をスパッタ法によって成膜し、これをエッチングして画素電極（418）を形成した。

【0046】このようにして、3つの直列したTFT（421）、（420）、（422）が形成できた。このうち、ゲート電極（406）は、ゲート信号線より信号を供給し、また、ゲート電極（405）、（407）は行選択信号線より信号を供給して用いる。（図4（D））

【0047】なお、図4（E）のように、パッシベーション膜（417）および層間絶縁物（418）、ゲート絶縁膜（404）をエッチングして、N型不純物領域（414）に画素電極のコンタクトホールを形成する際に、同時にゲート電極（406）上にもコンタクトホールを形成してもよい。陽極酸化物（酸化アルミニウム）は酸化珪素をエッチングするフッ酸系のエッチャントではエッチング速度が極めて小さいので、実質的に陽極酸化物（409）でエッチングは停止する。

【0048】そして、このようにして形成されたホールを覆って、画素電極（418）を形成すると、画素電極（418）は陽極酸化物被膜（409）を挟んで、ゲート電極（406）と対向し、容量（419）を形成できる。この容量は、図1（A）における補助容量（108）に相当するもので、画素電極の不透明部分を増加させることなく（すなわち、開口率を低下させずに）、容量を付加することができる。（図4（E））

【0049】〔実施例2〕図5に本実施例の工程を示す。まず、基板（501）上に、下地酸化珪素膜（502）（厚さ2000Å）を堆積し、実施例1と同様に触媒元素としてニッケルを使用して、550℃、4時間の熱アニールによって結晶化させた結晶性シリコン膜によって島状領域（503）を形成した。さらに、この上にゲート絶縁膜（504）を形成した。

【0050】その後、厚さ、5000Åのアルミニウム膜をスパッタ法によって形成した。さらに、後の多孔質陽極酸化物被膜形成工程におけるフォトリソとの密着性の改善のために、アルミニウム膜表面に厚さ100~400Åの薄い陽極酸化膜を形成してもよい。その後、スピンコーティング法によって厚さ1μm程度のフォトリソを形成した。そして、公知のフォトリソグラフィ法によって、ゲート電極（505）、（506）、（507）をエッチングにより形成した。ゲート電極上には、フォトリソのマスク（508）、（509）、（510）を残存させた。（図5（A））

【0051】次に、基板を10%シュウ酸水溶液に浸し、定電流源の+側を基板上のゲイト電極（505）、（507）に接続し、一側には白金の電極を接続して陽極酸化をおこなった。この技術は特開平6-338612に開示されている。すなわち、5~50V、例えば、8Vの定電圧で、10~500分、例えば、200分陽極酸化をおこなうことによって、厚さ5000Åの多孔質の陽極酸化物（511）、（512）をゲート電極（505）、（507）の側面に形成した。得られた陽極酸化物は多孔質であった。ゲート電極の上面には、マスク材（508）、（510）が存在するために陽極酸化はほとんど進行しなかった。また、ゲート電極（506）には電流を通じなかったため、陽極酸化物は形成されなかった。（図5（B））

【0052】その後、マスク材を除去してゲイト電極上面を露出させた。そして、実施例1と同様に1-酒石酸をエチレングリコールに5%の濃度に希釈し、アンモニアを用いてpHを7.0±0.2に調整した電解溶液中でゲート電極（505）、（506）、（507）に電流を通じて陽極酸化し、厚さ500~2500Å、例えば、2000Åの陽極酸化物を形成した。この結果、厚さ2000Åの緻密な酸化アルミニウム被膜（513）、（514）、（515）が得られた。

【0053】その後、イオンドーピング法によって、島状シリコン領域（503）に、ゲイト電極部をマスクとして自己整合的に不純物（ここでは硼素）を注入し、P型不純物領域を形成した。ここで、ドーピングガスとしてはジボラン（ $\text{B}_2\text{H}_6$ ）を用いた。この場合のドーピング量は $1 \times 10^{14} \sim 5 \times 10^{15}$ 原子/cm<sup>2</sup>、加速電圧は40~90kV、例えば、ドーピング量を $1 \times 10^{15}$ cm<sup>-2</sup>、加速電圧は65kVとした。この結果、P型不純物領域（516）~（519）が形成された。（図5



(C))

【0054】さらに、KrFエキシマーレーザー（波長248nm、パルス幅20nsec）を照射して、ドーピングされた不純物領域（516）～（519）の活性化をおこなった。実施例1においても記述したが、この工程は熱アニールによるものでもよい。次に、層間絶縁膜として、プラズマCVD法によって酸化珪素膜（520）を厚さ3000Åに成膜した。さらに、層間絶縁膜（520）、ゲイト絶縁膜（504）のエッチングをおこない、P型不純物領域（516）にコンタクトホールを形成した。その後、アルミニウム膜をスパッタ法によって形成し、エッチングして画像信号線（521）を形成した。（図5（D））

【0055】その後、パッシベーション膜（522）を形成し、パッシベーション膜（522）、層間絶縁膜（520）、ゲイト絶縁膜（504）のエッチングをおこない、陽極酸化物被膜（514）上に開孔部を、また、P型不純物領域（519）に画素電極のコンタクトホールを形成した。そして、スパッタ法によってITOを成膜したのち、これをエッチングして画素電極（523）を形成した。画素電極（523）は、図4（E）と同様に陽極酸化物被膜（514）を誘電体としてゲート電極（506）と対向し、補助容量（524）を形成している。（図5（E））

【0056】以上のような工程により、Pチャネル型薄膜トランジスタ（526）、（527）、（525）および補助容量（524）を有するアクティブマトリクス回路のスイッチング素子が形成された。本実施例では、トランジスタの導電型は逆であるが、図1（A）に示される回路と同じである。本実施例ではOFF電流を抑制する必要のある薄膜トランジスタ（526）、（527）に関しては、実施例2の場合によりオフセット幅を広くした。一方、MOS容量ではオフセットの存在は不要であるので、オフセットを小さくした。

【0057】〔実施例3〕 図6には、本発明を用いて回路を形成する様子を示した。具体的なプロセスについては、公知技術（もしくは実施例1、2に示される技術）を用いればよいので、ここでは詳述しない。まず、実施例1に示される手段によって、触媒元素を用いてアモルファスシリコン膜を結晶化せしめ、これをエッチングして、概略U字型（もしくはコの字型あるいは馬蹄型）の半導体領域（活性層）（601）～（604）を形成した。ここで、活性層（601）を基準とした場合、活性層（602）は当列次行、活性層（603）は次列当行、活性層（604）は次列次行を意味する。（図6（A））

【0058】その後、ゲイト絶縁膜（図示せず）を形成し、さらに、同一被膜をエッチングすることにより、行選択信号線（605）、（606）および、ゲート信号線（607）、（608）を形成した。ここで、行選択

信号線およびゲート信号線と活性層の位置関係については図3と同様とした。（図6（B））

そして、活性層にドーピングをおこなった後、各活性層の左端にコンタクトホール（例えば、（611）に示される）を形成し、さらに、画像信号線（609）、（610）を形成した。（図6（C））

【0059】その後、行選択信号線と画像信号線によって囲まれた領域に画素電極（612）、（613）を形成した。このようにして、ゲート信号線（607）と活性層（601）においてTFT（614）が形成されたのであるが、このとき、ゲート信号線（607）は当該行の画素電極（613）とは重ならず、1行上の画素電極（612）と重なるように配置した。すなわち、画素電極（613）にしてみれば、1行下のゲート信号線（608）が画素電極（613）と重なって、容量（615）を形成した。ゲート信号線（607）、（608）には行選択信号線と同期したパルス信号が供給されるが、ほとんどの時間は一定の電圧に保持される（図2（B）参照）ので、ゲート信号線と画素電極の間には静電容量が形成される。（図6（D））

【0060】このように、ゲート信号線を当該行の1行上（もしくは下）の画素電極と重ねる配置を取ることで、図6（E）に示すような回路が構成されたが、容量（615）は図1（A）の容量（108）に相当するものであり、実質的に開口率を低下させずに、容量を付加することができ、回路の集積度を向上させる上で有効であった。ちなみに、図6（F）には、同じ間隔で行選択信号線、画像信号線で囲まれた領域に形成された従来の単位画素（図7（A）参照）を示したが、補助容量（205）によって、遮られる領域は本実施例（図6（D））と同じであり、本実施例では、半導体領域（601）が、ほとんど行選択信号線（605）、（607）で覆われた構造となっているため、開口率を減少させることはない。逆に従来のもの（図6（F））では、行選択信号線から分かれたゲート電極によって、開口率の低下が認められる。

【0061】

【発明の効果】以上、本発明に示したように、複数のTFTを適切に接続することにより、液晶セルの電圧降下を抑制することができた。本発明は、より高度な画像表示が要求される用途において効果的である。すなわち、256階調以上の極めて微妙な濃淡を表現する場合には液晶セルの放電は1フレームの間に1%以下に抑えられることが必要である。従来の方式はいずれもこの目的には適したものではなかった。

【0062】なお、以上の説明では、液晶ディスプレイを中心に説明したが、本発明のアクティブマトリクス回路は、何も液晶ディスプレイに限定されることなく、エレクトロルミネッセンス（EL）を利用したディスプレイやプラズマ発光を利用したディスプレイ（プラズマ

15

ディスプレイ=PDP)においても、電圧の保持が必要とされるので、これらにも利用できることは明白である。このように本発明は工業上有益である。

【図面の簡単な説明】

【図1】 本発明によるアクティブマトリクス回路のスイッチング素子の例を示す。

【図2】 本発明のアクティブマトリクス回路のスイッチング素子の回路図・動作例を示す。

【図3】 本発明のアクティブマトリクス回路のスイッチング素子の半導体領域およびゲートの配置例を示す。

【図4】 実施例1におけるアクティブマトリクス回路のスイッチング素子の製造工程を示す。

【図5】 実施例2におけるアクティブマトリクス回路のスイッチング素子の製造工程を示す。

【図6】 実施例3におけるアクティブマトリクス回路のスイッチング素子の製造工程を示す。

【図7】 従来のアクティブマトリクス回路のスイッチング素子の回路図・動作例を示す。

【符号の説明】

101 ……画像信号線  
102 ……行選択信号線

16

103~105 ……薄膜トランジスタ(Nチャンネル型)

106 ……画素セル

107 ……ゲート信号線

108 ……補助容量

111 ……画像信号線

112 ……行選択信号線

113、114 ……薄膜トランジスタ(Nチャンネル型)

10 115 ……薄膜トランジスタ(Pチャンネル型)

116 ……画素セル

117 ……ゲート信号線

118 ……補助容量

121 ……画像信号線

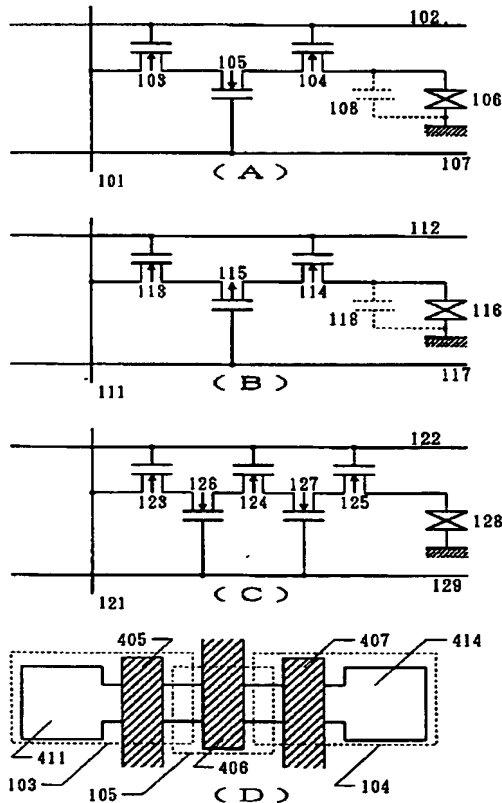
122 ……行選択信号線

123~127 ……薄膜トランジスタ(Nチャンネル型)

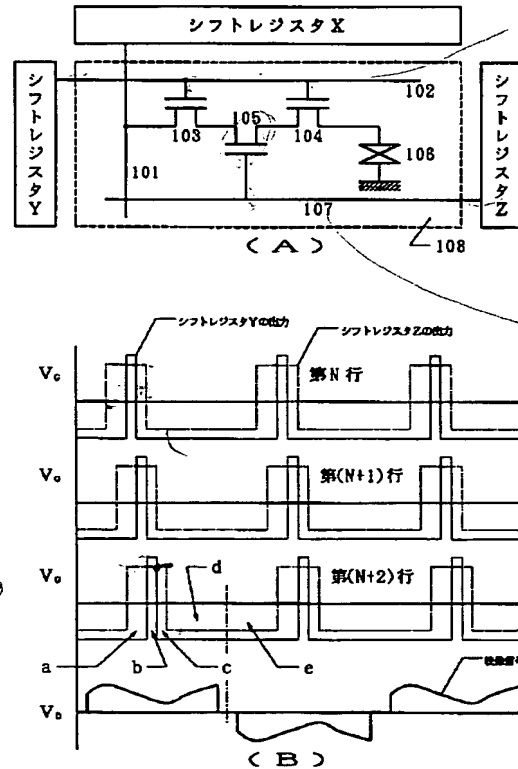
128 ……画素セル

20 129 ……ゲート信号線

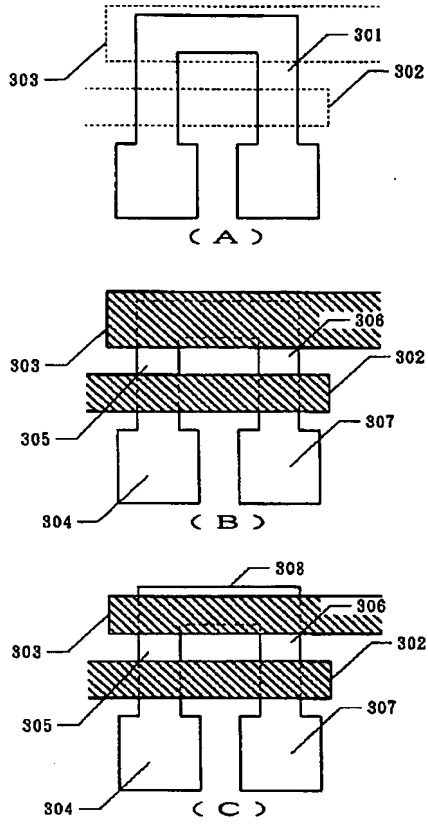
【図1】



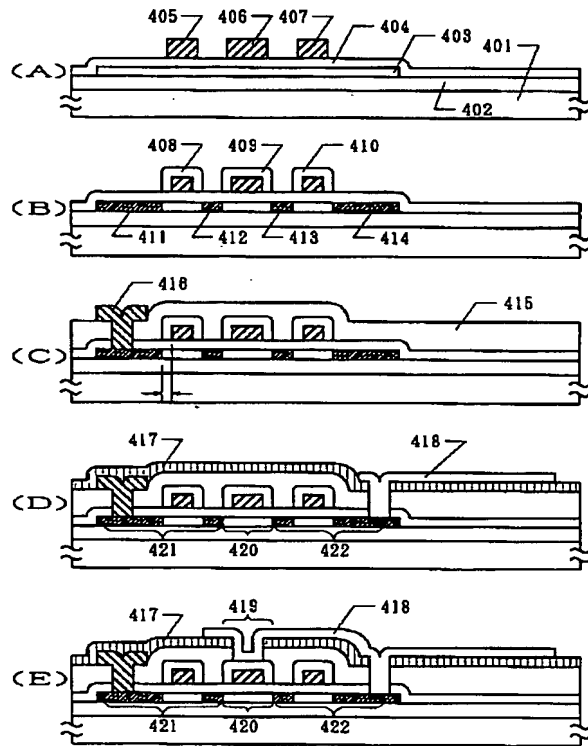
【図2】



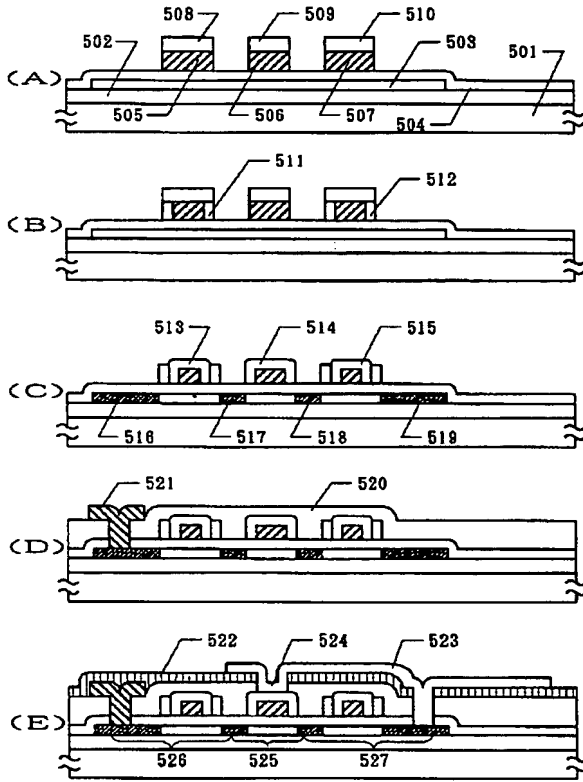
【図3】



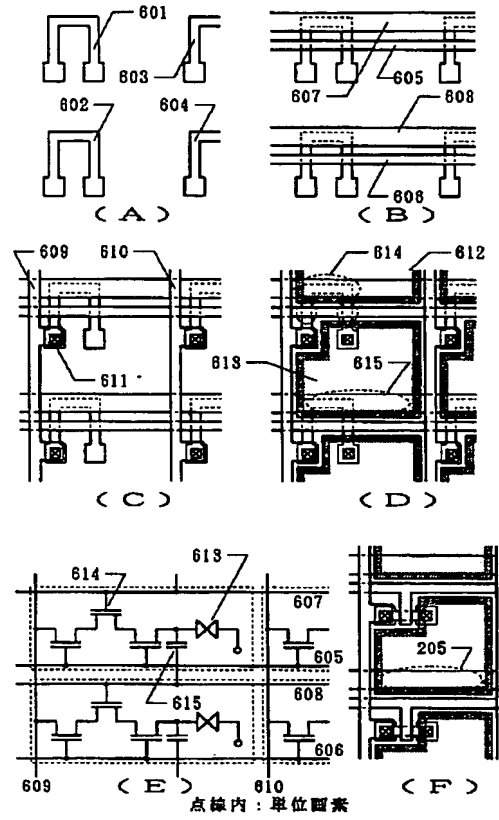
【図4】



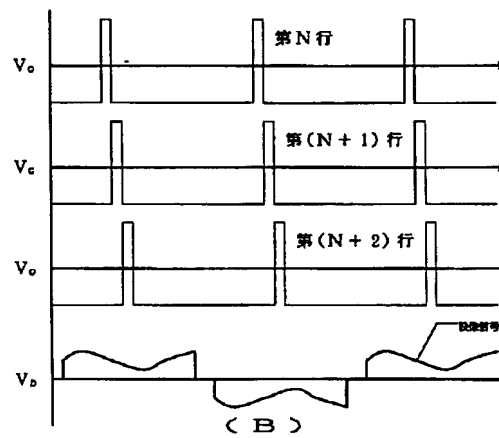
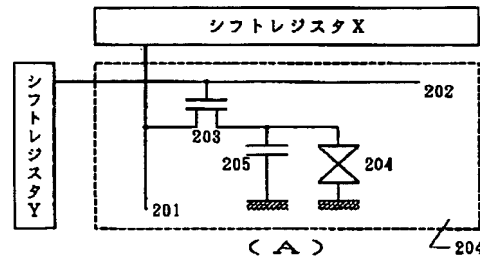
【図5】



【図6】



【図7】



フロントページの続き

(51) Int. Cl. 6

H 0 1 L 27/12

識別記号

R

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/78

6 1 7 A

6 2 7 G

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**